



AT1043  
製品仕様書  
ver. 1.0

株式会社 カンテック

本仕様書は、静電容量型近接センサ用 LSI (AT1043) に関する機能および性能を表記したものです。  
なお、本仕様書の内容は特性改善のため変更されることがあります。

#### 本製品の機能と特徴

本製品は、CMOSプロセスを使用した低消費電流LSIです。

長距離の検出能力を有します。

様々な環境雑音に対する高い排除能力を有します。

# 目次

<b>1 仕様</b> .....	<b>5</b>
1.1 絶対最大定格.....	5
1.2 推奨使用条件.....	5
1.3 電気的特性.....	5
1.3.1 端子負荷仕様.....	5
1.3.2 アナログ特性.....	6
1.3.3 EEPROM,MPU I/O.....	6
1.4 故障診断.....	7
1.4.1 電極故障.....	7
1.4.2 アナログ系故障.....	7
<b>2 構成</b> .....	<b>8</b>
2.1 ブロック図.....	8
2.2 端子構成.....	9
2.3 外部回路.....	10
2.4 内部レジスタ構成.....	11
<b>3 レジスタ説明</b> .....	<b>12</b>
3.1 レジスタに関する共通事項.....	12
3.2 レジスタ詳細.....	12
3.2.1 CVG レジスタ.....	12
3.2.2 SSP レジスタ.....	13
3.2.3 TOFS レジスタ.....	13
3.2.4 GF レジスタ.....	14
3.2.5 BF レジスタ.....	14
3.2.6 BTC レジスタ.....	15
3.2.7 VNS レジスタ.....	15
3.2.8 VTS レジスタ.....	16
3.2.9 FDR レジスタ.....	16
3.2.10 SSR レジスタ.....	17
3.2.11 SAR レジスタ.....	17
3.2.12 MOD1 レジスタ.....	18
3.2.13 MOD2 レジスタ.....	20
3.2.14 STS1 レジスタ.....	21
3.2.15 STS2 レジスタ.....	22
3.2.16 ADR レジスタ.....	22
<b>4 通信仕様</b> .....	<b>23</b>
4.1 通信プロトコル.....	23
4.1.1 伝送ブロック構成.....	23
4.1.2 受信ヘッダ.....	23
4.1.3 送信ヘッダ.....	24
4.1.4 受信データ.....	24
4.1.5 送信データ.....	24
4.1.6 B C C (水平パリティ).....	25
4.2 通信方法.....	26
4.3 注意事項.....	26
4.3.1 通信条件.....	26
4.3.2 返信不可能期間.....	26
4.3.3 受信禁止期間中に受信した場合の動作.....	27
<b>5 内部動作</b> .....	<b>28</b>
5.1 リセット動作.....	28
5.1.1 内部リセット条件.....	28
5.1.2 ハードウェアリセット期間.....	30

5.2	電極駆動パルスタイミング .....	31
5.3	レジスタ[ADR] 読み出しシーケンス .....	31
5.4	減電圧中の通信 .....	31
5.5	オフセット自動調整機能 .....	31
<b>6</b>	<b>外部 EEPROM .....</b>	<b>32</b>
6.1	適用 EEPROM .....	32
6.2	三重冗長記録 .....	32
6.3	EEPROM エラー発生条件 .....	33
6.4	EEPROM アクセス時の注意 .....	33
6.5	その他注意事項 .....	33
<b>7</b>	<b>信頼性評価試験 .....</b>	<b>34</b>

# 1 仕様

## 1.1 絶対最大定格

GND=GNA=0V.

項目	記号	条件	MIN.	TYP.	MAX.	単位
電源電圧	$V_{DD}$		-0.5		6.5	V
入力端子電圧	$V_{IN}$	端子印加電圧	-0.5		$V_{DD}+0.5$	V
出力端子電圧	$V_{OUT}$	端子印加電圧	-0.5		$V_{DD}+0.5$	V
出力電流	$I_O$		-20		20	mA
全損失	$P_C$				350	mW
保存温度範囲	$T_{STG}$	結露しないこと	-40		125	°C

## 1.2 推奨使用条件

項目	記号	条件	MIN.	TYP.	MAX.	単位
電源電圧範囲	$V_{DD}$		4.5		5.5	V
動作温度範囲	$T_{OPR}$		-40		85	°C

EEPROM 推奨品は、セイコーインスツルメント社製 S-93C46B, および該同等品。

## 1.3 電気的特性

特記無き場合、 $V_{DD}=5.0V$ ,  $GND=GNA=0V$ ,  $T_a=25^\circ C$ とする。

### 1.3.1 端子負荷仕様

項目	記号	条件	MIN.	TYP.	MAX.	単位
A電極容量	$C_A$	非検出時、対地容量			100	pF
B電極容量	$C_B$	非検出時、対地容量			100	pF
A, B電極オフセット容量	$\Delta C_{AB}$	非検出時、駆動電圧=0.5V、 $C_a-C_b$			50	pF
A, B電極オフセット容量	$\Delta C_{AB}$	非検出時、駆動電圧=2.5V、 $C_a-C_b$			10	pF
シールド電極容量	$C_{SH}$	対地容量			2000	pF
ステルス電極容量	$C_{ST}$	対地容量			4000	pF
検出出力負荷容量	$C_{VO}$				1000	pF
検出出力負荷抵抗	$R_{VO}$		10			K $\Omega$
比較出力負荷容量	$C_{LO}$				2000	pF
比較出力負荷抵抗	$R_{LO}$		10			K $\Omega$
モニタ出力負荷容量	$C_{MO}$				100	pF
モニタ出力負荷抵抗	$R_{MO}$		10			K $\Omega$
発振素子周波数偏移	$F_{OSC}$		-1.5		1.5	%
発振素子温度変化	$F_{TC}$		-0.5		0.5	%
発振素子経年変化	$F_{KC}$		-0.3		0.3	%

### 1.3.2 アナログ特性

項目	記号	条件	MIN.	TYP.	MAX.	単位
消費電流	I <sub>DD</sub>	外部負荷無し			10	mA
消費電流 (スタンバイ時)	I <sub>STBY</sub>	外部負荷無し			5	mA
CV変換利得MAX	CV <sub>MAX</sub>	入力~CF0端子、[CVG]=MAX		0.5		V/pF
CV変換利得MIN	CV <sub>MIN</sub>	入力~CF0端子、[CVG]=MIN		0		V/pF
増幅利得MAX	GF <sub>MAX</sub>	CV変換器~VO端子、[GF]=MAX		52		dB
増幅利得MIN	GF <sub>MIN</sub>	CV変換器~VO端子、[GF]=MIN		32		dB
帯域幅 1	BW <sub>1</sub>	端子CF1、CF2 開放	1			kHz
帯域幅 2	BW <sub>2</sub>	端子CF1=CF2=0.033uF		25		Hz
出力電圧調整MAX	BF <sub>MAX</sub>	VO端子、[BF]=MAX CF0端子=V <sub>REF</sub>		3.0		V
出力電圧調整MIN	BF <sub>MIN</sub>	VO端子、[BF]=MIN CF0端子=V <sub>REF</sub>		0.1		V
出力電圧温度係数MAX	BT <sub>MAX</sub>	VO端子、[BTC]=MAX		20		mV/°C
出力電圧温度係数MIN	BT <sub>MIN</sub>	VO端子、[BTC]=MIN		-20		mV/°C
接触検出比較電圧MAX	VT <sub>MAX</sub>	CF0端子、[VTS]=MAX	4.5			V
接触検出比較電圧MIN	VT <sub>MIN</sub>	CF0端子、[VTS]=MIN			0.5	V
近接検出比較電圧MAX	VN <sub>MAX</sub>	VO端子、[VNS]=MAX	4.5			V
近接検出比較電圧MIN	VN <sub>MIN</sub>	VO端子、[VNS]=MIN			0.5	V
検出出力立上時間	LO <sub>RT</sub>	端子(L0)出力			100	us
検出出力立下時間	LO <sub>FT</sub>	端子(L0)出力			100	us
スルス電極駆動電圧MAX	SS <sub>MAX</sub>	CSS端子、[SSP]=MAX		2.5		V
スルス電極駆動電圧MIN	SS <sub>MIN</sub>	CSS端子、[SSP]=MIN		1.5		V
温度センサ出力電圧MAX	TO <sub>MAX</sub>	MON端子、[TOFS]=MAX @25°C		4		V
温度センサ出力電圧MIN	TO <sub>MIN</sub>	MON端子、[TOFS]=MIN @25°C		1		V
温度センサ出力感度	T <sub>SENS</sub>	MON端子		16		mV/°C
源発振周波数	F <sub>0</sub>	X0端子		2.4576		MHz
電極駆動周波数MAX	FD <sub>MAX</sub>	CS0端子、[FDR]=MAX		51		kHz
電極駆動周波数MIN	FD <sub>MIN</sub>	CS0端子、[FDR]=MIN		26		kHz
電荷転送時間	T <sub>CV</sub>	CS0端子、High期間		12.2		us
リセット検出電圧	V <sub>RES</sub>	5.1「リセット動作」参照	1.5		2.5	V
リセット解除電圧	V <sub>RET</sub>	5.1「リセット動作」参照	3.8		4.2	V
リセット解除電圧ヒステリシス	VH <sub>RET</sub>	5.1「リセット動作」参照		50		mV

### 1.3.3 EEPROM, MPU I/O

項目	記号	条件	MIN.	TYP.	MAX.	単位
出力電圧 (H)	V <sub>OH</sub>	I <sub>OH</sub> =2mA	VDD-1.0			V
出力電圧 (L)	V <sub>OL</sub>	I <sub>OL</sub> =-2mA			0.5	V
入力電圧 (H)	V <sub>IH</sub>	入力ハイレベル	3.5			V
入力電圧 (L)	V <sub>IL</sub>	入力ローレベル			1.5	V

## 1.4 故障診断

### 1.4.1 電極故障

- (1) 電極故障診断は、自動センサセット調整回路を起動し、調整終了後の REG[SAR]の値を標準状態設定値と比較する。電極異常が発生した場合、A 電極容量、B 電極容量に変化が発生し自動センサセット調整後の REG[SAR]の値が変化する。各異常項目における変動値に関しては、実装評価後決定とする。
- (2) 簡易的判定手段の例を下表に記す。

項目	要件	検出比較器	判定端子	判定	単位
A 電極断線	$C_A \doteq 0$	タッチモード <sup>①</sup>	L0	4.5<	V
B 電極断線	REG[MOD2/b2]=1	近接モード <sup>②</sup>	L0	4.5<	V
S 電極断線	$\Delta C_B > \Delta C_A$ となる。	タッチモード <sup>①</sup>	L0	4.5<	V
A-B 短絡	タッチモードと同等。	タッチモード <sup>①</sup>	L0	4.5<	V
A-S 短絡	A 電極容量 $C_A$ は S 電極から充電される。	タッチモード <sup>①</sup>	L0	4.5<	V
B-S 短絡	REG[MOD2/b2]=1	タッチモード <sup>①</sup>	L0	4.5<	V
A-B-S 短絡	タッチモードと同等。	タッチモード <sup>①</sup>	L0	4.5<	V
S-GND 短絡	$\Delta C_B > \Delta C_A$ 、 $C_B \gg 0$ 、 $C_A \gg 0$	タッチモード <sup>①</sup>	L0	4.5<	V
A-GND 短絡	等価的に $C_A = \infty$	近接モード <sup>②</sup>	L0	4.5<	V
B-GND 短絡	等価的に $C_B = \infty$	タッチモード <sup>①</sup>	L0	4.5<	V
A-B-S-GND 短絡	タッチモードと同等。	タッチモード <sup>①</sup>	L0	4.5<	V

(注1) 判定は、該当項目故障時の結果であり、判定結果から故障項目を断定するものではない。

### 1.4.2 アナログ系故障

CPUからLSI内部REG値を書き換え、該当出力の変化値で判定する。



## 2.2 端子構成

パッケージ FPT-24P-M03（富士通） に適用

端子 No	端子名	I/O	機能概要
1	GNA	-	アナロググラウンド
2	CCS	A0	Capacitance for Cable Shield
3	CSO	A0	Cable Shield Out
4	SSO	A0	Stealth Shield Out
5	CSS	A0	Capacitance for Stealth Shield
6	SSI	AI	Stealth Shield Input
7	VDD	-	電源
8	XI	AI	発振器用素子接続
9	XO	A0	発振器用素子接続
10	RXD	I	受信 from CPU
11	TXD	O	送信 to CPU
12	GND	-	デジタルグラウンド
13	MON	A0	内部電圧モニタ出力
14	LO	O	検出論理出力
15	VO	A0	検出アナログ出力
16	EDO	I/Z	データ入力 from EEPROM ※1
17	EDI	O/Z	データ出力 to EEPROM ※1
18	ECK	O/Z	クロック出力 to EEPROM ※1
19	ECS	O/Z	チップセレクト for EEPROM ※1
20	CF0	A0	LPF 出力
21	CF1	AI	LPF 用帰還容量接続
22	CF2	AI	LPF 用接地容量接続
23	SAI	AI	Sensor A Input
24	SBI	AI	Sensor B Input

I 論理入力端子

O 論理出力端子

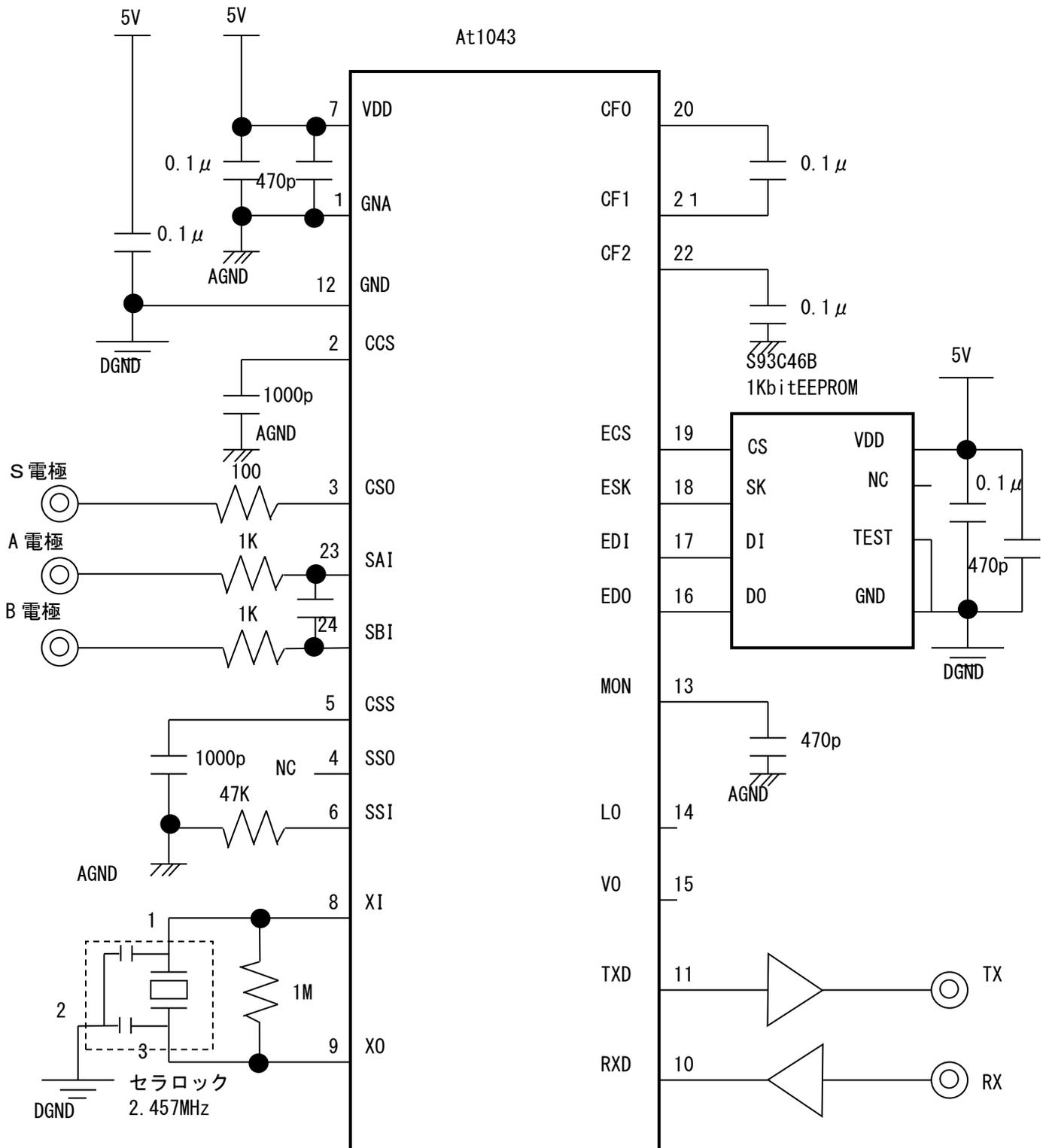
AI アナログ入力端子

A0 アナログ出力端子

Z HiZ 状態 ※1 本端子は内部プルダウン抵抗内蔵（約 20kΩ）

## 2.3 外部回路

以下に本 L S I 外部回路例を示す。



## 2.4 内部レジスタ構成

### 内部レジスタ一覧

アドレス *1	レジスタ名	機能	R/W	有効 ビット	備考
0	CVG	CV 変換利得設定	R/W	8	
1	SSP	ステルス電極駆動電圧設定	R/W	8	
2	TOFS	温度センサ出力オフセット調整	R/W	8	
3	GF	増幅器利得設定	R/W	8	
4	BF	オフセット調整	R/W	8	
5	BTC	温度補正係数設定	R/W	8	
6	VNS	近接検出比較電圧設定	R/W	8	
7	VTS	接触検出比較電圧設定	R/W	8	
8	FDR	センサ駆動Φ1 周期設定	R/W	4	上位4ビットは、0とする
9	SSR	ステルス基準電圧設定	R/W	8	
10	SAR	自動センサオフセット補正電圧設定	R/W	8	
11	MOD1	コントロールレジスタ 1	R/W	7	
12	MOD2	コントロールレジスタ 2	R/W	5	
13					
14					
15					
16	ADR	モータ出力電圧 AD 結果	R	8	
17	STS1	ステータスレジスタ	R/[W]	7	
18	STS2	ステータスレジスタ	R/[W]	2	

### レジスタビット構成

アドレス	レジスタ名	b7	b6	b5	b4	b3	b2	b1	b0
0	CVG	DATA							
1	SSP	DATA							
2	TOFS	DATA							
3	GF	DATA							
4	BF	DATA							
5	BTC	DATA							
6	VNS	DATA							
7	VTS	DATA							
8	FDR	-	-	-	-	DATA			
9	SSR	DATA							
10	SAR	DATA							
11	MOD1	SLP	TS	NT	SA	AOF	-	SEL	
12	MOD2	-	-	-	LOM	IM	CS	RESB	RESA
16	ADR	DATA							
17	STS1	RES	-	LO	AVL	VL	OE	TE	PE
18	STS2	-	-	-	-	-	-	EPBSY	EPERR

- 1) アドレスは 10 進表記
- 2) アドレス 16 以降のレジスタは、EEPROM への書き込み、読み出しはできない。
- 3) 詳細は、3 レジスタ説明 を参照

### 3 レジスタ説明

#### 3.1 レジスタに関する共通事項

アドレス 0~12 のレジスタは、通信 I/F で読み出し及び書き込みすることができます。

アドレス 16~18 は読み出し専用レジスタです。（クリアの為の書き込み及びリセットの為の書き込みは可）

リセット後 EEPROM の内容を読み出し、各々の該当するレジスタに自動的に書き込まれます。

スリープ状態<sup>\*1</sup>でもレジスタの内容は保持されます。 \*1 3.2.12 MOD1 レジスタ SLP ビット参照  
EEPROM アクセス時、全レジスタへの読み書きはできません。

EEPROM アクセス期間の判定方法は、6.4 EEPROM アクセス時の注意 を参照してください。

電源電圧が  $V_{RET}$  以下検出時、レジスタへの書き込みはできません。（書き込み要求ブロックのヘッダ部 A7=1 にし、BCC を再計算し返信します）

以降のレジスタ詳細説明中の初期値は、LSI 内部リセット直後の値を示しています。

注記が無い限り EEPROM 読み出し後は EEPROM 内容となります

#### 3.2 レジスタ詳細

##### 3.2.1 CVGレジスタ

名称	CVG C-V converter Gain control
アドレス	00 H
機能	CV 変換利得設定
説明	<p>C-V 変換器の変換利得を 0.5 [V/pF] ~ 0 [V/pF] に設定します。 別名、シールド電極の駆動電圧調整 本レジスタはブロック図内 CVG-DAC に適用します。 CVG-DAC の出力電圧範囲は 0[V] ~ 2.5[V] です DAC 出力電圧は以下の式が適用されます。</p> $V_{CVG} = V_{REF} - \frac{N}{255} \cdot V_{REF}$ <p><math>V_{REF} = 1/2 V_{DD}</math>, <math>N =</math> 本レジスタ設定値 変換利得</p> $G_{CVG} = \frac{G_{SCT}}{Cf} \cdot V_{CVG}$ <p><math>Cf = 100\text{pF}</math>, <math>G_{SCT}</math> (回路利得) = <math>5 \cdot 2 \cdot 2 = 20</math> 倍 CF0 出力電圧</p> $V_{CF0} = \frac{\Delta C \cdot V_{CVG}}{Cf} \cdot G_{SCT} + \frac{2}{5} \cdot V_{DD}$ <p><math>Cf = 100\text{pF}</math>, <math>G_{SCT}</math> (回路利得) = <math>5 \cdot 2 \cdot 2 = 20</math> 倍</p>

	b7	b6	b5	b4	b3	b2	b1	b0
Bit field	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	DATA 80 H							

設定範囲	00 H	0.5 [V/pF] に設定	CCS 端子出力電圧=2.5 [V]
	80 H	0.25 [V/pF] に設定	CCS 端子出力電圧=1.25 [V]
	FF H	0 [V/pF] に設定	CCS 端子出力電圧=0 [V]

### 3.2.2 SSPレジスタ

名称	SSP Stealth Shield Pulse voltage control
アドレス	01 H
機能	ステルス電極駆動電圧設定
説明	<p>ステルス電極の駆動電圧を変更します。            本レジスタはブロック図内 SSP-DAC に適用します。            SSP-DAC の出力電圧範囲は 1.5 [V]~2.5 [V] です。            DAC 出力電圧は以下の式が適用されます。</p> $V_{SSP} = V_{REF} - \left( \frac{32 \cdot (V_{REFX} - V_{REF})}{39.5} \right) \cdot \frac{N}{255}$ <p><math>V_{REF} = 1/2 V_{DD}</math> , <math>V_{REFX} = 3/4 V_{DD}</math> , <math>N =</math> 本レジスタ設定値</p>

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	DATA							
	00 H							

設定範囲	00 H	CSS 端子出力電圧を 2.5[V]に設定
	80 H	CSS 端子出力電圧を 2[V]に設定
	FF H	CSS 端子出力電圧を 1.5[V]に設定

### 3.2.3 TOFSレジスタ

名称	TOFS Temperature OffSet control
アドレス	02 H
機能	温度センサ出力オフセット調整
説明	<p>温度センサ出力電圧のオフセット電圧を変更します。            本レジスタはブロック図内 TOFS-DAC に適用します。            TOFS-DAC 出力電圧範囲は 2.2[V]~2.8[V] です。            DAC 出力電圧は以下の式が適用されます。</p> $V_{TOFS} = \frac{V_{REF}}{132} \cdot \frac{N}{255} \cdot 64 + V_{BE} + \frac{V_{REF}}{50} \cdot 64$ <p><math>V_{REF} = 1/2 V_{DD}</math> , <math>V_{BE} \doteq 700[\text{mV}]@25^{\circ}\text{C}</math> 約 1.6[mV/°C] , <math>N =</math> 本レジスタ設定値</p>

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	DATA							
	80 H							

設定範囲	00 H	DAC 出力電圧=2.2[V]
	80 H	DAC 出力電圧=2.5[V]
	FF H	DAC 出力電圧=2.8[V]

### 3.2.4 GFレジスタ

名称	GF Gain Factor control
アドレス	03 H
機能	増幅器利得設定
説明	<p>増幅器の利得を変更します。利得範囲は1~10倍です。            本レジスタはブロック図内 GF-DAC に適用します。            DAC 出力電圧は以下の式が適用されます。</p> $V_{GF} = -\left(1 + 9 \cdot \frac{N}{255}\right) \cdot (V_{CFO} - V_{REF}) - (V_{BF} - V_{REF}) - (V_{BTC} - V_{REF}) + V_{REF}$ <p><math>V_{REF} = 1/2 V_{DD}</math>, <math>V_{CFO}</math> = CFO 端子出力電圧, <math>N</math> = 本レジスタ設定値,  <math>V_{BF}</math> = BF-DAC 出力電圧, <math>V_{BTC}</math> = BTC-DAC 出力電圧</p> <p>利得は以下の式が適用されます。</p> $Gain = 1 + 9 \cdot \frac{N}{255}$

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	DATA 80 H							

設定範囲	00 H	1 倍
	80 H	5.5 倍
	FF H	10 倍

### 3.2.5 BFレジスタ

名称	BF Bias Factor control
アドレス	04 H
機能	オフセット調整
説明	<p>出力電圧オフセットを変更します。            本レジスタはブロック図内 BF-DAC に適用します。            BF-DAC の出力電圧範囲は 1.5[V]~3.5[V] です。            DAC 出力電圧は以下の式が適用されます。</p> $V_{BF} = \frac{V_{REF} \cdot N}{255} \cdot 32 + V_{REF} + \frac{V_{REF} - \frac{3}{2} \cdot V_{REF}}{39.5} \cdot 32$ <p><math>V_{REF} = 1/2 V_{DD}</math>, <math>N</math> = 本レジスタ設定値</p>

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	DATA 80 H							

設定範囲	00 H	DAC 出力電圧=1.5[V]
	80 H	DAC 出力電圧=2.5[V]
	FF H	DAC 出力電圧=3.5[V]

### 3.2.6 BTCレジスタ

名称	BTC Bias Temperature Coefficient
アドレス	05 H
機能	温度補正係数設定
説明	<p>内蔵温度計出力の補正係数を設定し、出力オフセット変動の補正を行います。          V0 出力換算で約-24[mV/°C]~24[mV/°C]の補正を実現します。          補正係数範囲は±6倍です。          本レジスタはブロック図内 BTC-DAC に適用します。          利得は以下の式が適用されます。</p> $G_{BTC} = 6 \cdot \frac{255 - N}{255} \cdot 2$ <p>DAC 出力電圧は以下の式が適用されます。</p> $V_{BTC} = G_{BTC} \cdot (V_{TOFS} - V_{REF}) + V_{REF}$ <p><math>V_{REF} = 1/2 V_{DD}</math>, <math>V_{TOFS} = \text{TOFS-DAC 出力電圧}</math>, <math>N = \text{本レジスタ設定値}</math></p>

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	DATA							
	80 H							

設定範囲	00 H	6 倍
	80 H	約 -0.023 倍
	FF H	-6 倍

### 3.2.7 VNSレジスタ

名称	VNS Voltage for Near Sense
アドレス	06 H
機能	近接検出比較電圧設定
説明	<p>近接検出動作のコンパレータ比較電圧値を設定します。          この電圧は V0 端子電圧と比較されます。          本レジスタはブロック図内 VNS-DAC に適用します。          VNS-DAC の出力電圧範囲は 0[V]~5[V] です          DAC 出力電圧は以下の式が適用されます。</p> $V_{VNS} = V_{DD} - \left( V_{REF} - \frac{N}{255} \cdot V_{REF} \right) \cdot 2$ <p><math>V_{REF} = 1/2 V_{DD}</math>, <math>N = \text{本レジスタ設定値}</math></p>

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	DATA							
	80 H							

設定範囲	00 H	DAC 出力電圧=0[V]
	80 H	DAC 出力電圧=2.5[V]
	FF H	DAC 出力電圧=5[V]

### 3.2.8 VTSレジスタ

名称	VTS Voltage for Touch Sense
アドレス	07 H
機能	接触検出比較電圧設定
説明	<p>接触検出動作のコンパレータ比較電圧値を指定します。          この電圧は CF0 端子電圧と比較されます。          本レジスタはブロック図内 VTS-DAC に適用します。          VTS-DAC の出力電圧範囲は 0[V]~5[V] です          DAC 出力電圧は以下の式が適用されます。</p> $V_{VTS} = V_{DD} - \left( V_{REF} - \frac{N}{255} \cdot V_{REF} \right) \cdot 2$ <p><math>V_{REF} = 1/2 V_{DD}</math>, <math>N =</math> 本レジスタ設定値</p>

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	DATA							
	80 H							

設定範囲	00 H	DAC 出力電圧=0[V]
	80 H	DAC 出力電圧=2.5[V]
	FF H	DAC 出力電圧=5[V]

### 3.2.9 FDRレジスタ

名称	FDR DRive Frequency control
アドレス	08 H
機能	センサ駆動φ 1 周期設定
説明	<p>センサ駆動周期の設定を行います。          注意) 設定範囲は 4~15 で、0~3 を設定すると、レジスタ内容=指定値+4 が設定されます。          他、5.2 電極駆動パルスタイミング 参照</p>

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	-	-	-	-	DATA			
	4 H							

設定範囲	4 H	4 クロック動作
	F H	15 クロック動作

### 3.2.10 SSRレジスタ

名称	SSR Stealth Shield Reference
アドレス	09 H
機能	ステルス基準電圧設定
説明	<p>ステルス電極自動調整時の基準比較電圧を設定します。            3.2.2 SSP レジスタの自動調整を行う場合、本レジスタに値を設定します。            自動調整 ON/OFF は 3.2.12 MOD1 レジスタ SA ビットで制御できます。            本レジスタはブロック図内 SSR-DAC に適用します。            SSR-DAC の出力電圧範囲は 0[V]~5[V] です            DAC 出力電圧は以下の式が適用されます。</p> $V_{VNS} = V_{DD} - \left( V_{REF} - \frac{N}{255} \cdot V_{REF} \right) \cdot 2$ <p><math>V_{REF} = 1/2 V_{DD}</math>, <math>N =</math> 本レジスタ設定値</p>

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	DATA							
	80 H							

設定範囲	00 H	DAC 出力電圧=0[V]
	80 H	DAC 出力電圧=2.5[V]
	FF H	DAC 出力電圧=5[V]

### 3.2.11 SARレジスタ

名称	SAR Successive Approximation Register
アドレス	0A H
機能	センサオフセット補正電圧設定
説明	<p>センサのオフセットを補正する場合に使用します。            本レジスタは、通常 3.2.12 MOD1 レジスタ AOF (b3) ビットを ON にし、自動設定します。            本レジスタはブロック図内 SAR-DAC に適用します。            SAR-DAC の出力電圧範囲は 0[V]~2.5[V] です            DAC 出力電圧は以下の式が適用されます。</p> $V_{SAR} = V_{REF} - \frac{N}{255} \cdot V_{REF}$ <p><math>V_{REF} = 1/2 V_{DD}</math>, <math>N =</math> 本レジスタ設定値</p>

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	DATA							
	00 H							

設定範囲	00 H	DAC 出力電圧=2.5[V]
	80 H	DAC 出力電圧=1.25[V]
	FF H	DAC 出力電圧=0[V]

### 3.2.12 MOD1レジスタ

名称	MODE1
アドレス	0B H
機能	コントロールレジスタ 1
説明	内蔵機能の動作設定を行います

	b7	b6	b5	b4	b3	b2	b1	b0
Bit field	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
	SLP	TS	NS	SA	AOF	-	SEL	
初期値	0	0	0	0	0	*1	0	

\*1 読み出し時 0 固定

設定内容	SLP (b7)	スリープ状態設定 スリープ状態に設定すると本レジスタの本ビット以外の書き込みは無効となります。	
		=0	スリープ状態解除
		=1	スリープ状態設定 (アナログ回路電源供給停止)
	TS (b6)	接触検出論理出力の L0 端子への出力設定	
		=0	出力禁止
		=1	出力許可
	NS (b5)	近接検出時論理出力の L0 端子への出力設定	
		=0	出力禁止
		=1	出力許可
	SA (b4)	ステルス駆動電極自動電圧制御設定 調整対象および調整結果保存レジスタ [SSR]	
		=0	自動制御モード OFF
		=1	自動制御モード ON
	AOF (b3)	センサオフセット自動調整起動 調整対象および調整結果保存レジスタ名 [SAR] 本レジスタへ 1 を設定後、自動調整を開始し設定完了後 0 へ自動復帰します。	
		=1	自動調整実行指定
		=0	自動調整完了
	SEL (b1-b0) *1	モニタ端子出力、A/D変換器の入力信号選択	
=0		温度センサ出力 ( $V_{THSm}$ )	
=1		検出アナログ出力 ( $V_{Om}$ )	
=2		センサオフセット補正電圧出力 ( $V_{BALm}$ )	
	=3	ステルス電極検出出力 ( $V_{SSCm}$ )	

\*1 モニター出力端子電圧計算式

<p>温度センサ出力 MOD1[SEL]=0</p>	$V_{THSm} = \left(\frac{80}{20} + 1\right) \cdot V_{TOFS} - V_{REF} \cdot \frac{80}{20}$ $V_{TOFS} = \text{TOFS-DAC 出力}, \quad V_{REF} = 1/2 V_{DD}$
<p>検出アナログ出力 MOD1[SEL]=1</p>	$V_{Om} = \left(\frac{80}{20} + 1\right) \cdot \left(\frac{40}{10+40} \cdot V_{REF} + \frac{10}{10+40} \cdot V_O\right) - V_{REF} \cdot \frac{80}{20}$ $V_{REF} = 1/2 V_{DD}$ $V_O = V_{GF} \cdot 2$ $V_{GF} = \text{GF-DAC 出力}$
<p>センサオフセット補正電圧出力 MOD1[SEL]=2</p>	$V_{BALm} = \left(\frac{80}{20} + 1\right) \cdot \left(\frac{40}{10+40} \cdot V_{REF} + \frac{10}{10+40} \cdot V_{SAR}\right) - V_{REF} \cdot \frac{80}{20}$ $V_{SAR} = \text{SAR-DAC 出力}, \quad V_{REF} = 1/2 V_{DD}$
<p>ステルス電極検出出力 MOD1[SEL]=3</p>	$V_{SSCm} = \left(\frac{80}{20} + 1\right) \cdot \left(\frac{40}{10+40} \cdot V_{REF} + \frac{10}{10+40} \cdot V_{CVSSI}\right) - V_{REF} \cdot \frac{80}{20}$ $V_{CVSSI} = V_{SCV1} - \frac{40(V_{DD} - V_{SCV1})}{50} - \frac{40(V_{REF} - V_{SCV1})}{4.44}$ $V_{SCV1} = \frac{100+10}{10} \cdot V_{REF} - \frac{100}{10} \cdot V_{SCV}$ $V_{SCV} = V_{REF} - \frac{V_{SSO}}{Cf} \cdot C_C$ $V_{REF} = 1/2 V_{DD}, \quad Cf = 10\text{pF}, \quad C_C = \text{ステルス電極容量}$

### 3.2.13 MOD2レジスタ

名称	MODE2
アドレス	0C H
機能	コントロールレジスタ 2
説明	内蔵機能の動作設定を行います

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R	R	R	R/W	R/W	R/W	R/W	R/W
初期値	-	-	-	LOM	IM	CS	RESB	RESA
	*1	*1	*1	*2	0	0	0	0

\*1 読み出し時 0 固定

\*2 リセット時 0 クリア後、EEPROM からデータを読み出します。

この時、読み出した EEPROM のデータの本ビットに対応するビットが 1 の場合で且つ L0 端子電圧が Hi レベルである場合、リセットが実行され、リセット動作を繰り返しますので以下の注意が必要です。

L0 端子は内部 100kΩ でプルダウンされています。外部にプルアップ抵抗などを接続しないで下さい。

設定内容	LOM (b4) *1	L0 端子モード設定	
		=0	端子 L0 は検出判定出力端子
		=1	端子 L0 をリセット入力端子とする
	IM (b3) *1, *2	入力モード設定	
		=0	CV 変換モード
		=1	直流入力モード
	CS (b2)	ケーブルシールド駆動電圧偏差印加制御を行います。 CCS 端子電圧を強制的に低下させます。 本ビットは、1.4.1 電極故障 で利用します。	
		=0	偏差なし
		=1	偏差あり ブロック図内 SW10 = ON
	RESB (b1) *1	B 電極 C-V 変換器強制リセット	
		=0	通常状態
		=1	リセット状態 ブロック図内 SW5 が ON 固定となります
RESA (b0) *1	A 電極 C-V 変換器強制リセット		
	=0	通常状態	
	=1	リセット状態 ブロック図内 SW6 が ON 固定となります	

\*1 本 LSI テスト用ビットですので使用しないで下さい。また、必ず 0 をセットしてください。

\*2 入力モード設定ビット=1 の場合直流モードとなり、ブロック図中の SW1～SW7 の動作が停止します。以下に直流入力モード時の SW 状態を示します。

### 3.2.14 STS1レジスタ

名称	STS1 STatuS
アドレス	11 H
機能	ステータスレジスタ 1
説明	<p>初期化及び動作状態を返します。          本レジスタ初期化の為の書き込みを許可しています。          また、ステータスビットクリアの為の書き込みも可能です。          注意) ビットのクリアはビット単位にはできません。          本レジスタの b0~b4 までの内容は、STS2 レジスタの b0, b1 と共に、返信ヘッダ部 A7 ビットに反映されます。          式 <math>[STS1] (b0+b1+b2+b3+b4) + [STS2] (b0+b1) = 1</math> の時、返信ヘッダの A7=1 となります。</p>

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R/W	R	R	R/[W]	R/[W]	R/[W]	R/[W]	R/[W]
初期値	RES	-	L0	AVL	VL	OE	TE	PE
	*1	*1	*2	1	1	0	0	0

- \*1 読み出し時 0 固定
- \*2 L0 出力状態に依存します

設定内容	RES (b7)	本ビットに 1 をセットすると、EEPROM の一括読み出しを実行し、終了後本ビットはクリアされます。	
	L0 (b5)	L0 端子状態を反映します。 L0 端子=Lo の時 0、L0 端子=Hi の時 1 が読み出されます。	
	AVL (b4)	電源状態 本ビットが 1 の場合、レジスタへの書き込みは出来ません。	
	*1, *2	=0	電源電圧が $V_{RET}$ 以上 (アナログ回路支障なし)
	*3	=1	電源電圧が $V_{RET}$ 以下に低下 (アナログ回路支障あり)
	VL (b3)	起動時及び電源電圧低下時、本ビットに 1 がセットされます。 5.1 リセット を参照	
	*1, *2	=0	起動及び電圧低下検出なし
		=1	起動及び電圧低下検出あり
	OE (b2)	自動オフセット調整エラー MOD1 レジスタの SA ビット=1 にし自動調整実行完了後、SAR レジスタの値が 00H または FF H の時本ビットが 1 になります。	
	*2	=0	エラーなし
	=1	自動オフセットエラー発生	
TE (b1)	通信状態 規定時間内に伝送ブロックの受信が完了しないと判断された時本ビットに 1 がセットされます		
*2	=0	パリティエラー以外の通信エラーなし	
	=1	パリティエラー以外の通信エラー発生	
PE (b0)	パリティエラー		
*2	=0	パリティエラーなし	
	=1	垂直または水平パリティエラー発生	

- \*1 PSD コントローラは、パワーオンリセット直後または、本レジスタの RES ビットによるリセットを実行した場合、必ずクリアする必要があります。
- \*2 本ビットは自動的にクリアされませんので、書き込みを実行しクリアしてください。
- \*3 電源電圧 4[V] 以下検出時、レジスタへの書き込みは出来ませんので、レジスタのクリア書き込み後、読み出しを実行して、クリアされているか再確認が必要です。

### 3.2.15 STS2レジスタ

名称	STS2 StatuS
アドレス	12 H
機能	ステータスレジスタ 2
説明	動作状態を返します 本レジスタはクリア以外の書き込み動作はできません。 注意) ビットのクリアはビット単位にはできません。 本レジスタの b0 及び b1 の内容は、STS1 レジスタの b0~b4 と共に、返信ヘッダ部 A7 ビットに反映されます。 式 $[STS1] (b0+b1+b2+b3+b4) + [STS2] (b0+b1) = 1$ の時 返信ヘッダの A7=1 となります。

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R	R	R	R	R	R	R	R/[W]
	-	-	-	-	-	-	-	EPERR
初期値	*1	*1	*1	*1	*1	*1	*1	0

\*1 読み出し時 0 固定

内容	EPERR (b0)	EEPROM エラー 本ビットは自動的にクリアされませんので、書き込みを実行しクリアしてください。	
		=0	EEPROM 書き込みエラーなし
		=1	EEPROM 書き込みエラー発生

EEPROM エラーの詳細は 6.3 EEPROM エラー発生条件 を参照してください。

### 3.2.16 ADRレジスタ

名称	ADR A/D converter Register
アドレス	10 H
機能	モニタ端子電圧 AD 結果
説明	MOD1 レジスタの SEL (b0, b1) ビットの設定に対応したモニタ出力値の A/D 変換結果が読み出せません。 5.3 レジスタ [ADR] 読み出しシーケンス を参照してください。

Bit field	b7	b6	b5	b4	b3	b2	b1	b0
	R	R	R	R	R	R	R	R
DATA								
範囲	00 H	0[V]						
	80 H	2.5[V]						
	FF H	5[V]						

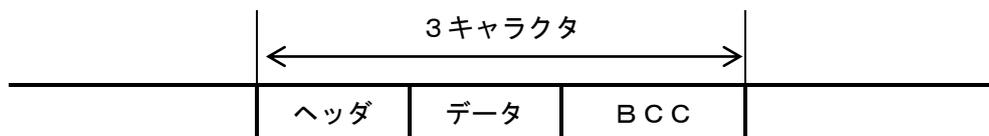
## 4 通信仕様

### 4.1 通信プロトコル

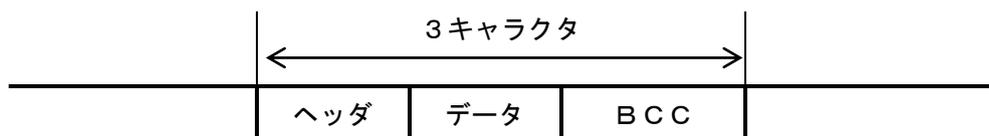
物理層	ネットワーク形態	PSDコントローラ/センサユニットの1:1
	伝送媒体	CAVS線
	伝送速度	9600bps
	変調方式	NRZ
	伝送形式	4.2 通信方法を参照
	アクセス方式	トークンパッシング
データリンク層	同期方式	調歩同期 (キャラクタ同期)
	キャラクタ構成	スタートビット: 1 データビット: 8 パリティビット: 1 (奇数) ストップビット: 2
	伝送ブロック構成	4.1.1 伝送ブロック構成 参照
	エラー検知	垂直/水平パリティチェック

#### 4.1.1 伝送ブロック構成

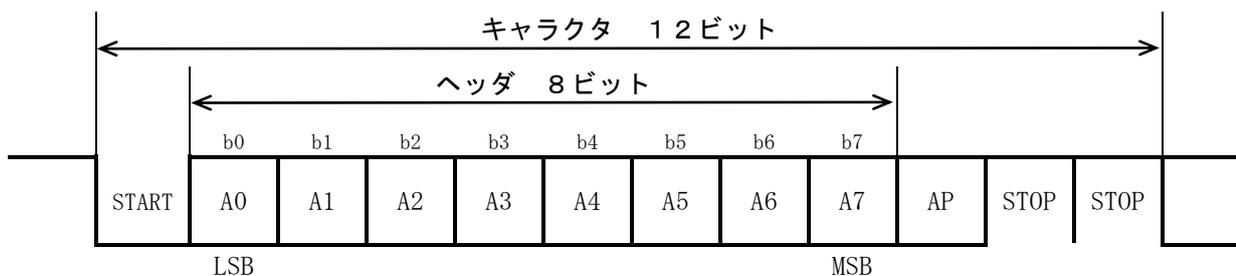
PSDコントローラ to センサユニット [受信ブロック]



センサユニット to PSDコントローラ [送信 (返信) ブロック]



#### 4.1.2 受信ヘッダ



AP: データパリティ (垂直パリティチェック)

### ヘッダ部データビット内容

ビット		アクセスモード	内 容
A0	A1		
0	0	CPU→AT1043	AT1043 レジスタデータの読み出し
0	1	CPU→AT1043	AT1043 レジスタへのデータ書き込み
1	0	CPU→AT1043→EEPROM *1	EEPROM データの読み出し
1	1	CPU→AT1043→EEPROM *2	EEPROM へのデータ書き込み
A2～A6		CPU→AT1043 (→EEPROM)	アドレスデータ
A7		非使用	[0]とする。

\*1 該当するレジスタの内容が読み出されたデータに書き換えられます。

\*2 該当するレジスタの内容も同時に書き換わります。

#### 4.1.3 送信ヘッダ

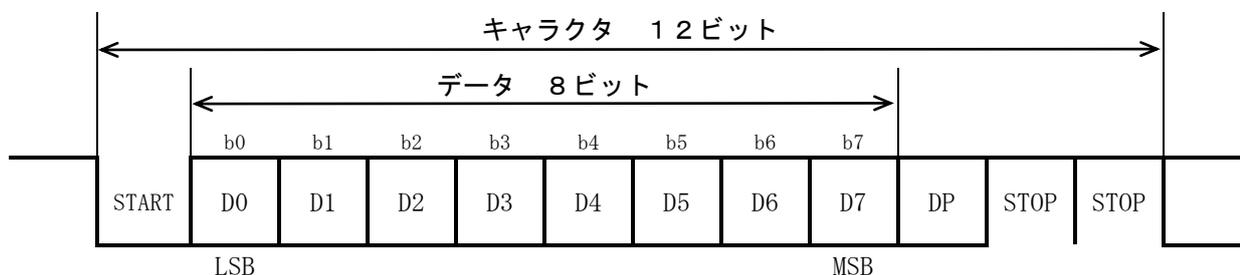
A 7 を除き、受信ヘッダと同様

ビット	内容
A0～A6	PSD コントローラ→センサユニット送信データと同じ。
A7	REG[STS1]のD0～D4 と [STS2]のD0、D1 との OR ※

※ 本ビットが1の場合、[STS1] [STS2]レジスタを読み出し、エラー内容を確認してください。

注意) EEPROM 書き込み時は上記内容とは異なります。 6.4 EEPROM アクセス時の注意 を参照してください。

#### 4.1.4 受信データ



DP:データパリティ (垂直パリティチェック)

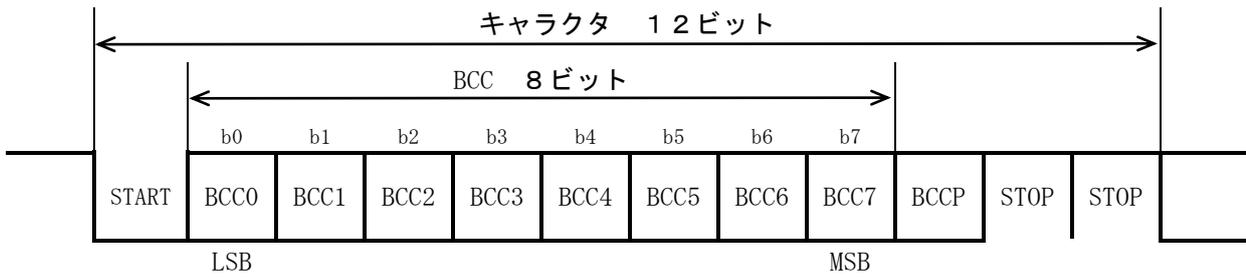
ビット	内 容	
0～7	書き込み	書き込みデータ
	読み出し	固定データ (55 H) 推奨

#### 4.1.5 送信データ

受信データと同様

ビット	内 容	
0～7	書き込み	書き込み後の読み出しデータ
	読み出し	読み出しデータ

#### 4.1.6 BCC (水平パリティ)

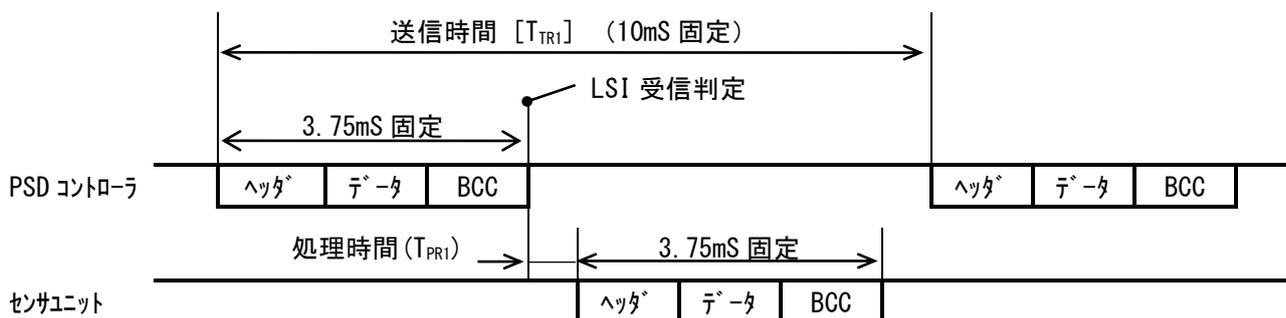


BCCP:データパリティ (垂直パリティチェック)

	データ		→	BCC
1bit目	A0	D0	$BCC0 = A0 \oplus \overline{D0}$	BCC0
2bit目	A1	D1	$BCC1 = A1 \oplus \overline{D1}$	BCC1
3bit目	A2	D2	$BCC2 = A2 \oplus \overline{D2}$	BCC2
4bit目	A3	D3	$BCC3 = A3 \oplus \overline{D3}$	BCC3
5bit目	A4	D4	$BCC4 = A4 \oplus \overline{D4}$	BCC4
6bit目	A5	D5	$BCC5 = A5 \oplus \overline{D5}$	BCC5
7bit目	A6	D6	$BCC6 = A6 \oplus \overline{D6}$	BCC6
8bit目	A7	D7	$BCC7 = A7 \oplus \overline{D7}$	BCC7

水平パリティ:ブロックごとにBCC(Block Check Character ブロックチェックキャラクタ)を付加して、誤りを検出する方式。  
各ビット桁ごとに1の数を数えBCCを付加する。  
誤り訂正はしない。

## 4.2 通信方法



項目	記号	仕様
処理時間	$T_{PR1}$	MAX. 1.25mS
送信周期	$T_{TR1}$	TYP. 10mS

## 4.3 注意事項

### 4.3.1 通信条件

本 LSI は、半二重通信方式を採用しており、LSI は送信中に受信を受け付けられない仕様になっております。コントローラはブロック送信後 LSI からの返信を受けてから次の送信を行ってください。

### 4.3.2 返信不可能期間

本 LSI は、リセット期間中の通信は禁止しています。リセット期間終了後、受信許可となります。受信禁止期間中に RXD 端子に信号を受けると、以下の 2 現象のうち何れかの状態となります。

(1) 禁止期間 (条件 1)

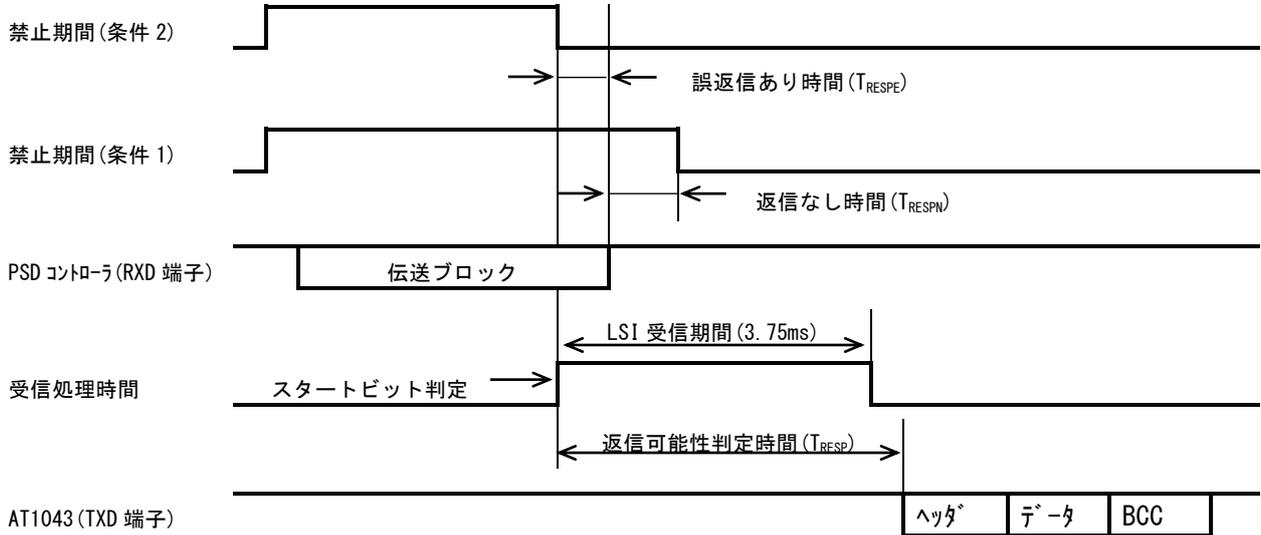
PSD コントローラがブロック送信を行い、受信禁止期間中に伝送が完了した場合、返信はしません。

(2) 禁止期間 (条件 2)

PSD コントローラがブロック送信を行い、伝送中に受信許可状態となり、且つスタートビットと判断できるデータを受け取った場合、その時点からブロックのヘッダと判断しますので、受信エラーとして返信を行います。

### 4.3.3 受信禁止期間中に受信した場合の動作

本 LSI は、前項で示すブロック送信中及びリセット期間中は受信禁止期間としております。受信禁止期間中に受信した場合の状態を以下に示します。



項 目	記号	仕 様				
		min.	typ.	max.	単位	備 考
誤返信あり時間	$T_{RESPE}$	0.260		3.645	ms	<ul style="list-style-type: none"> <li>最小時間は、BCC キャラクタ部のパリティビットが0の場合を想定</li> <li>最大時間は、ヘッダキャラクタ部のスタートビットの次のビットが0の場合を想定</li> </ul>
返信なし時間	$T_{RESPN}$	0			ms	
返信可能性判定時間	$T_{RESP}$	1.3		5	ms	コントローラより送信開始からのタイムアウト時間は 8.75ms とする

## 5 内部動作

### 5.1 リセット動作

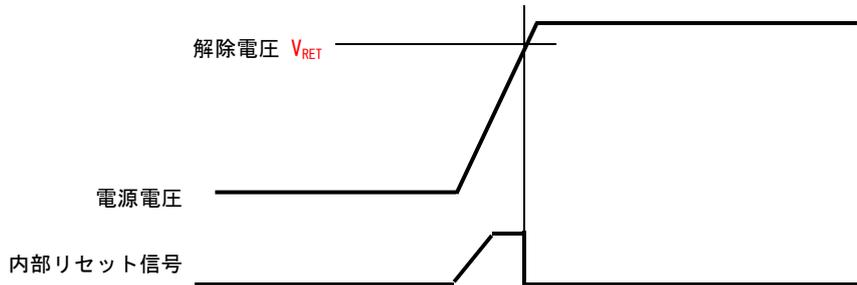
リセット動作とは、内部リセット信号が発生し、EEPROM の読み出しを行う一連の動作を示し、その期間を「リセット期間」と定義します。

本 LSI のリセット動作は以下に記す条件で発生する。

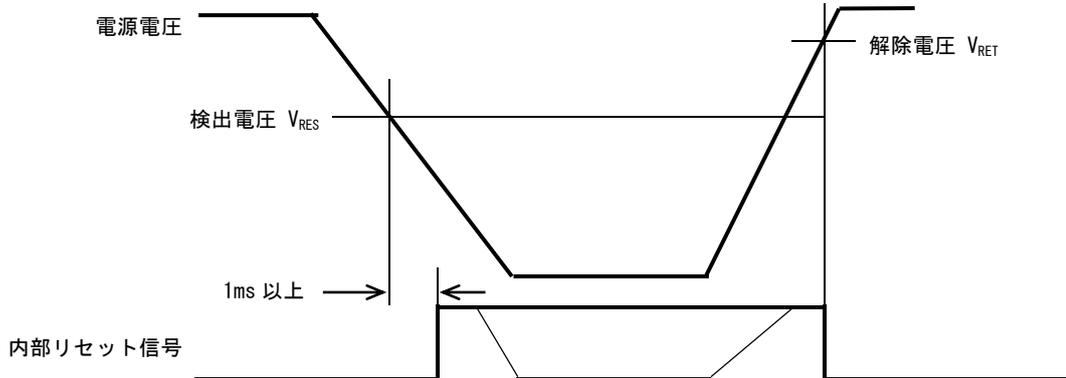
- ・ 起動時 電源電圧が  $V_{RET}$  に達した時
- ・ 低電圧検出時 電源電圧が  $V_{RES}$  を低下し、 $V_{RET}$  に復帰した時
- ・ STS1 レジスタの RES (b7) ビットに 1 を書いた時 (内部リセットは実行されません)
- ・ MOD2 レジスタの LOM (b4) ビットが 1 の場合、且つ、L0 端子が Hi レベルから Lo レベルに達した時 (LSI テスト用)

#### 5.1.1 内部リセット条件

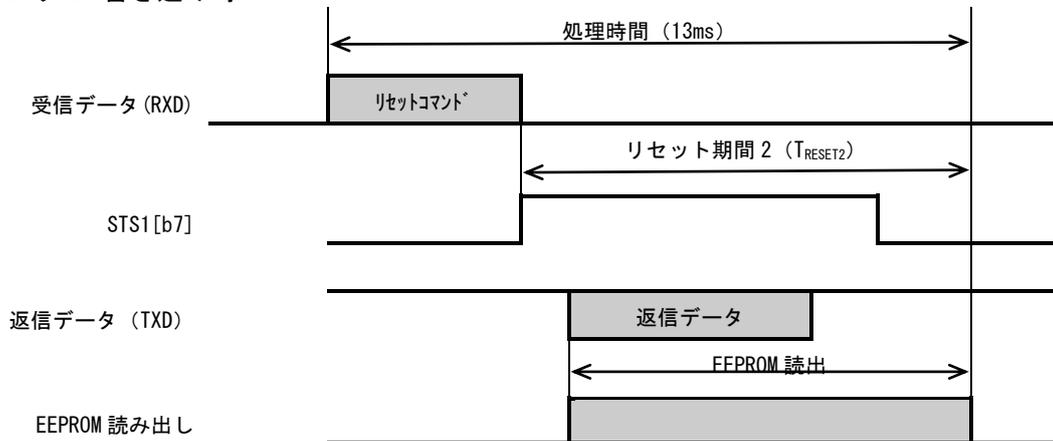
起動時



電源電圧低下時



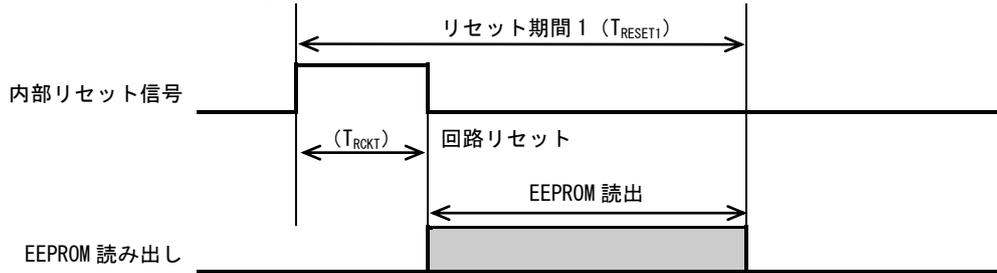
STS1 レジスタ b7 書き込み時



内部リセット信号は発生しません。EEPROM の再読み込みを行います。



### 5.1.2 ハードウェアリセット期間



項 目	記号	仕 様				備 考
		min.	typ.	max.	単位	
リセット検出電圧	$V_{RES}$	1.5		2.5	V	
リセット解除電圧	$V_{RET}$	3.8		4.2	V	
内部回路リセット時間	$T_{RCKT}$		10	17	ms	VDD 立ち上がり時間 $\leq 1ms$
リセット期間 1	$T_{RESET1}$			25	ms	VDD 立ち上がり時間 $\leq 1ms$
リセット期間 2	$T_{RESET2}$			10	ms	

リセット条件に至った後は、リセット条件解除後に再度 EEPROM の内容が読み出されます。

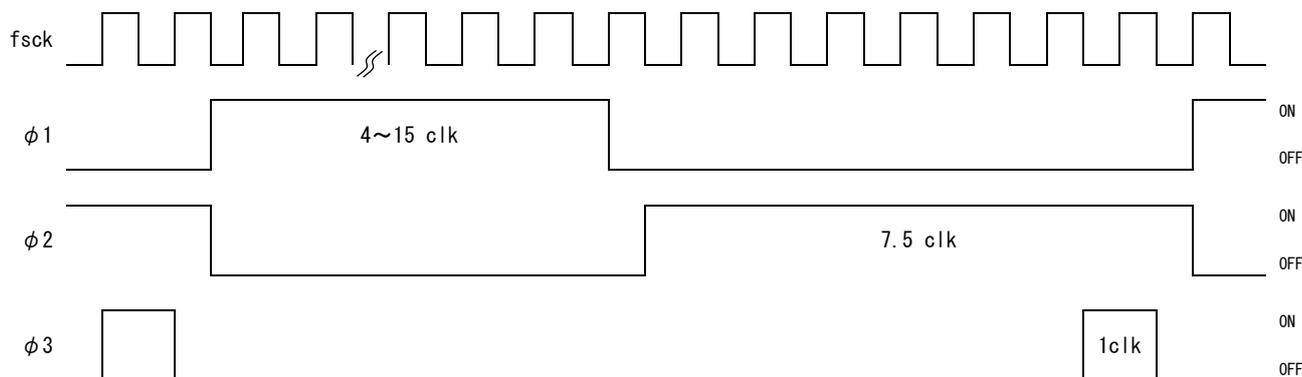
1ms 以下の減電圧状態に対して、動作は保証しません。

レジスタの保持条件は、 $V_{DD} > 1.5[V]$ です。

EEPROM 読み込みに関しは、6 外部 EEPROM を参照してください

## 5.2 電極駆動パルスタイミング

- (1) EG[FDR]の設定値で、駆動パルス $\phi 1$ の期間を調整できます。
- (2) システムクロック (fsck) は、614KHz (源発信周波数 2.4576MHz)



## 5.3 レジスタ [ADR] 読み出しシーケンス

- (1) A/D 変換周期 (ADCLK) は、5.2 電極駆動パルスタイミングでの $\phi 3$ クロックの $1/4$
- (2) AD 変換結果は、AD 終了毎に、ADR レジスタに転送、書き換えられる。

## 5.4 減電圧中の通信

減電圧中 ( $V_{RES} \sim V_{RET}$ ) の受信に対しては、受信したヘッダーに対し  $A7 = 1$  として、データ部と共に新たなパリティと BCC を発生して返す。(レジスタへの書き込みは実行されません。) 但し、 $V_{RES}$  以下となった場合は、リセットシーケンスが優先し、この間の応答は不可となります

## 5.5 オフセット自動調整機能

オフセット自動調整回路はブロック図の Comparator 及び SAR-DAC で構成されます。

MOD1 レジスタの AOF (b3) ビット = 1 になった時、動作を開始し、完了後、0 にクリアされます。

CV 変換 → サンプルホールド回路後の電圧と比較基準電圧を比較し、逐次比較方式で SAR レジスタの設定値を変更します。

比較基準電圧は  $\frac{1}{2}V_{DD}$  です。

比較タイミングは、FDR レジスタで設定された CV 変換タイミングから作成されます。

### 逐次比較方式

最上位ビットから最下位ビットまでを比較タイミング毎に 1 ビットずつ変化させ、比較結果を読み出し以下の条件でそのビットを確定します。

比較結果が、Lo の場合、そのビットはそのままとし、Hi の場合は 0 にクリアします。

## 6 外部 EEPROM

### 6.1 適用EEPROM

EEPROM 推奨品は、セイコーインスツルメント社製 S-93C46B, および該同等品。

### 6.2 三重冗長記録

本 LSI は、データの信頼性向上の為、下記内容の処理を実施しております。

- ・ 書き込み時、1レジスタの内容を EEPROM の3つアドレスに書き込む
- ・ 読み出し時、3つの内容の多数決を取り、結果をレジスタに反映する

以下にレジスタ対 EEPROM の対応表を示します。

レジスタ		EEPROM	
アドレス	内容	アドレス	
00 H	CV 変換利得設定	00 H	CV 変換利得設定 data
		01 H	CV 変換利得設定 data
		02 H	CV 変換利得設定 data
		03 H	未使用
01 H	ステルス電極駆動電圧設定	04 H	ステルス電極駆動電圧設定 data
		05 H	ステルス電極駆動電圧設定 data
		06 H	ステルス電極駆動電圧設定 data
		07 H	未使用
02 H	温度センサ出力オフセット調整	08 H	詳細中略
03 H	増幅器利得設定	0C H	
04 H	オフセット調整	10 H	
05 H	オフセット温度補正	14 H	
06 H	近接検出比較電圧設定	18 H	
07 H	接触検出比較電圧設定	1C H	
08 H	センサ駆動Φ1 周期設定	20 H	
09 H	ステルス基準電圧設定	24 H	
0A H	自動センサオフセット補正電圧設定	28 H	
0B H	コントロールレジスタ 1	2C H	
		2D H	コントロールレジスタ 1 data
		2E H	コントロールレジスタ 1 data
		2F H	未使用
0C H	コントロールレジスタ 2	30 H	コントロールレジスタ 2 data
		31 H	コントロールレジスタ 2 data
		32H	コントロールレジスタ 2 data
		33 H	未使用

### 6.3 EEPROMエラー発生条件

EEPROM 書き込みエラーが発生する条件を以下に示します。

LSI 内部処理

EEPROM の 3 アドレスに対し同一データを書き込み、再度読み出します。

読み出したデータをビット単位に多数決採った結果、与えられたデータ（レジスタに保持されたデータ）と一致していない場合エラーとなります。

本エラーが発生した場合、STS2 レジスタ-b0 ビットに 1 がセットされます。

### 6.4 EEPROMアクセス時の注意

EEPROM の書き込みサイクル時間は最大 15ms の為、3 重冗長での最大書き込み時間が 45ms となります。

（内部処理時間を入れると約 50ms）

上記期間中、及び、リセット時の EEPROM 読み出し期間中は全てのレジスタへのアクセスはできません。ので、以下の手法にてアクセス終了まで待機してください。

本 LSI は、EEPROM アクセス期間中にブロックを受信すると、受信したブロックのヘッダ部 A7, A6 及び A5 ビットを 1 にし、データ部との BCC を計算後、ブロックを返信します。

ヘッダ一部の A7, A6 及び A5 ビットがそれぞれ 1 の場合、EEPROM 書き込み期間と判断してください。

EEPROM アクセス期間終了後の受信に対する返信は通常返信に戻ります。

### 6.5 その他注意事項

- EEPROM は初期化時間中または、EEPROM アクセスコマンド実行中以外は ECS, ESK, EDI, EDO の全端子開放状態となっております。（20K $\Omega$ でプルダウン）  
AC1018 を介さずに直接アクセスする場合、上記期間中は実行しないでください。
- EEPROM は工場出荷時、ALL ビット=1 となっております。従って、調整後は必ず EEPROM への書き込みを行ってください。
- EEPROM への書き込み動作中に電源電圧が  $V_{RET}$  または  $V_{RES}$  以下になると、正常に書き込みが行われな  
ない場合があります。  
書き込み実行後に STS レジスタを確認し、AVL (b4) 及び VL (b4) ビットが 1 となった場合、再実行してください。

## 7 信頼性評価試験

No.	試験項目	試験条件	試験時間
1	高温連続動作	VDD=5.5V, Ta=125°C	1,000 時間
2	耐湿性	85°C 85% VDD=5.5V	1,000 時間
3	静電気耐量	R=0Ω, C=200pF, ±150V	5 回
4	ラッチアップ	VDD+10V, GND=-10V、Rs=50Ω, f=10kHz (duty:10%)	3 秒
5	はんだ耐熱	125°C <sup>^</sup> - $\kappa$ ・24h→85°C/85%RH 吸湿・168h→リフロー (260°C/10sec : はんだ接合部) × 3 回	
6	熱衝撃 * 1	前処理 * 2 -55°C~常温~150°C/30min~15min~30min	1,000 サイクル

\* 1 新パッケージ認定時に実施 (済み)

\* 2 前処理 : 125°C<sup>^</sup>- $\kappa$ ・24h→85°C/85%RH 吸湿・168h→リフロー (260°C/10sec : はんだ接合部) × 3 回